

課題番号	Q19J-02
課題名 (和文)	自己校正可能なオンチップ時間計測・時間差生成システムの自動生成とその応用
課題名 (英文)	Automatic generation framework of on-chip time measurement system with self-calibration capability
研究代表者	所属 (学部、学科・学系・系列、職位) 工学部 電子システム工学科 教授 氏名 小松 聡
共同研究者	所属 (学部、学科・学系・系列、職位) 工学研究科 電気電子工学専攻 修士課程 氏名 関戸 雅斗
	所属 (学部、学科・学系・系列、職位) 工学研究科 電気電子工学専攻 修士課程 氏名 荒井 建輝
	所属 (学部、学科・学系・系列、職位) 工学研究科 電気電子工学専攻 修士課程 氏名 岩井 一剛
	所属 (学部、学科・学系・系列、職位) 氏名

研究成果の概要 (和文)

本文 (9 ポイント : 明朝)

本研究では、近年重要性が増している SoC のシグナルインテグリティ、パワーインテグリティの問題について、その影響を VLSI チップ上で評価・テストするために、遅延時間の高分解能な測定および任意の時間差を生成することを目的とした「オンチップ TDC/DTC 混載システム」の設計とそれを自動生成するシステムの構築を行った。自動設計を行うことが可能な TDC 回路、DTC 回路を提案し、それらの評価を行うことで SoC 設計の高効率化に資することができることを示した。

研究成果の概要 (英文)

本文 (9 ポイント : Century)

Recently, signal integrity and power integrity have become serious concern in high performance SoC design. To evaluate the signal integrity and power integrity of SoC, high precision time measurement system is necessary. However, designing such time measurement system needs long design time. In this study, we developed an automatic generation framework of on-chip time measurement system to reduce design time.

1. 研究開始当初の背景

現在の高度情報化社会において、システム・オン・チップ(Sysnte-on-Chip; SoC)は様々な用途に用いられ、必要不可欠な存在となっている。しかし、最先端の微細プロセスを用いた VLSI では、製造ばらつきなどによる回路の遅延時間のばらつきが無視できなくなっており、タイミングマージンを大きく取った設計では十分な性能を実現できず、また、必要なタイミングマージンを取らずに設計した場合は製造後に回路上で誤動作が発生する、といった問題が起こり得る。このような課題に対応するために、VLSI チップ上での高分解能な時間測定回路である「時間-デジタル変換器 (Time to Digital Converter; TDC)」、高分解能な時間差生成回路である「デジタル-時間変換器(Digital to Time Converter; DTC)」が提案されてきているが、それらの回路の設計に長い設計期間が必要であり、製品サイクルの短いアプリケーションへの応用には適していない。本研究課題では、今後の SoC 開発における回路内の信号の高精度な時間計測、高精度な時間差の生成を中心とした回路のデバッグを支援するための技術に取り組む。

2. 研究の目的

本研究では、以下の項目を目的として研究を行った。

- (1) 極微細テクノロジーを用いた SoC 開発に必要な、高分解能な TDC 回路と DTC 回路の実現
- (2) それを SoC 上に実現する際に、短期間での設計を実現する TDC/DTC 混載システムの自動生成技術の確立
- (3) 提案 TDC/DTC 混載システムの応用例による提案手法の有効性の実証

3. 研究の方法

(1) 高分解能な TDC 回路と DTC 回路の設計

図 1 に示すような自己校正可能な TDC/DTC システムを設計し、回路シミュレーションおよび実デバイスの試作、測定を通じて評価を行う。スタ

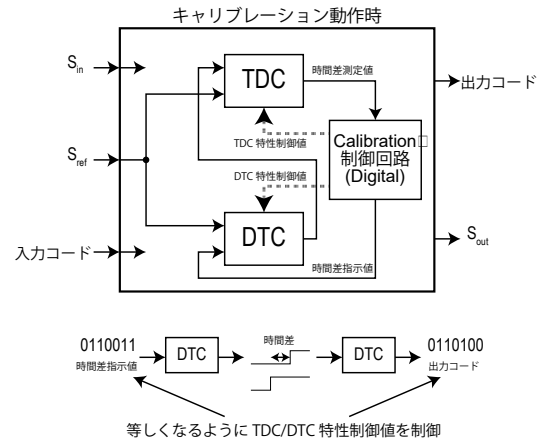


図 1 自己校正可能な TDC/DTC システム

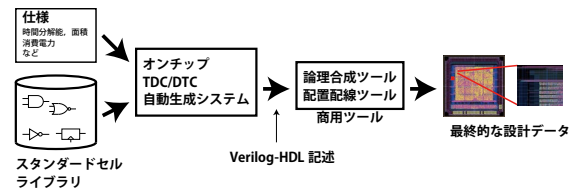


図 2 TDC/DTC 混載システムの自動生成環境

ンダードセルを用いて TDC 回路、DTC 回路を設計することで、アナログ回路としての特性は劣化するが、商用の設計ツールの支援による設計自動化が実現でき、短期間での設計環境を構築することが可能となる。

(2) TDC/DTC 混載システムの自動生成技術

図 2 に TDC/DTC 混載システムの自動生成環境を示す。設計する TDC, DTC に要求される仕様とスタンダードセルのライブラリをもとにオンチップ TDC/DTC 自動生成システムが TDC/DTC 混載システムを自動生成し、その生成された設計データから商用の自動設計ツールを用いて最終的な設計データが得られる。この環境を用いて実際に TDC/DTC 混載システムを設計・試作し、評価を行う。

(3) 応用例による提案手法の有効性の実証

(1)(2)の技術を用いて、実際の VLSI チップに現実的なアプリケーションを実装して評価を行い、提案手法によるデバッグ効率の評価を行う。

4. 研究成果

(1) 高分解能な TDC 回路と DTC 回路の設計

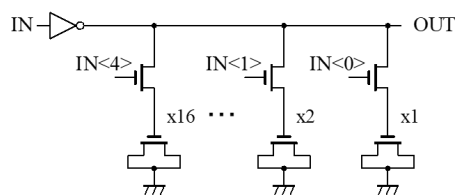


図 3 校正可能な DTC 回路

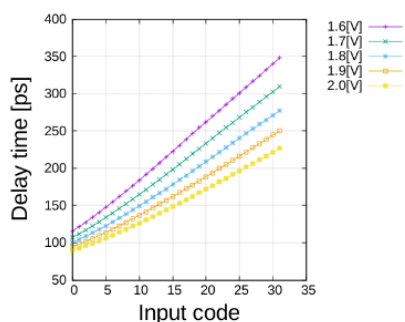


図 4 電源電圧変動に対する遅延時間の変化

スタンダードセルを用いた自己校正可能な DTC 回路を実現するために、図 3 のような DTC 回路を用いた。この回路の校正機能を評価するために、環境変動として電源電圧変化を注入した場合の入力デジタル値と遅延時間との関係を回路シミュレーション

によって評価した (図 4)。この結果より、外部からの環境変動やプロセスばらつきによる DTC 回路の特性が変動したとしても、任意の遅延時間を生成

可能な校正を行うことができると言える。

(2) TDC/DTC 混載システムの自動生成技術

スタンダードセルを用いた TDC/DTC 混載システムを自動生成するために、様々な製造プロセスと設計ライブラリに対して、仕様レベルからゲートレベルと RTL レベルで記述された ADC/TDC/DTC 回路を自動生成し、最終的な回路レイアウトを生成するシステムを構築した。図 5 に様々な製造プロセスで設計した ADC を示す。また、校正可能な DTC 回路を実現する際に必要となる可変容量キャパシタを実現するために、マニュアルレイアウトのセルをスタンダードセル化する機能も実現した。

(3) 今後の展望

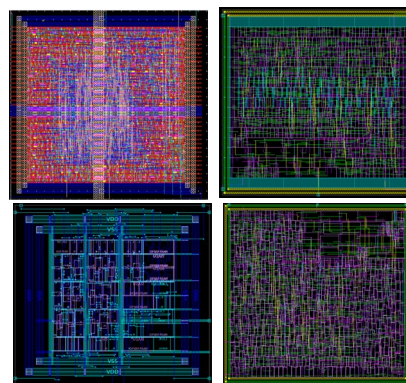


図 5 様々な製造プロセスで設計した ADC

上記の成果から、自己校正可能なオンチップ時間計測・時間差生成システムの実現とその自動生成技術について基本的な技術を確認できた。一方で、生成されたオンチップ時間計測・時間差生成システムの評価については現在研究を継続しており、今後、それらの成果も発信していく予定である。

5. 主な発表論文等

[学会発表] (計 2 件)

- ① 平野皓士, 小松聡, “自動配置配線可能な温度センサセル,” 2021 年 電子情報通信学会 総合大会 C12-2, 2021 年 3 月.オンライン.
- ② 福島拓実, 小松聡, “スタンダードセルによる Rail-to-Rail ハイブリッドコンパレータ,” 2021 年 電子情報通信学会 総合大会 C12-6, 2021 年 3 月.オンライン.